

# ASIC芯片开发过程

ASIC芯片设计开发

ASIC芯片生产

# 内容

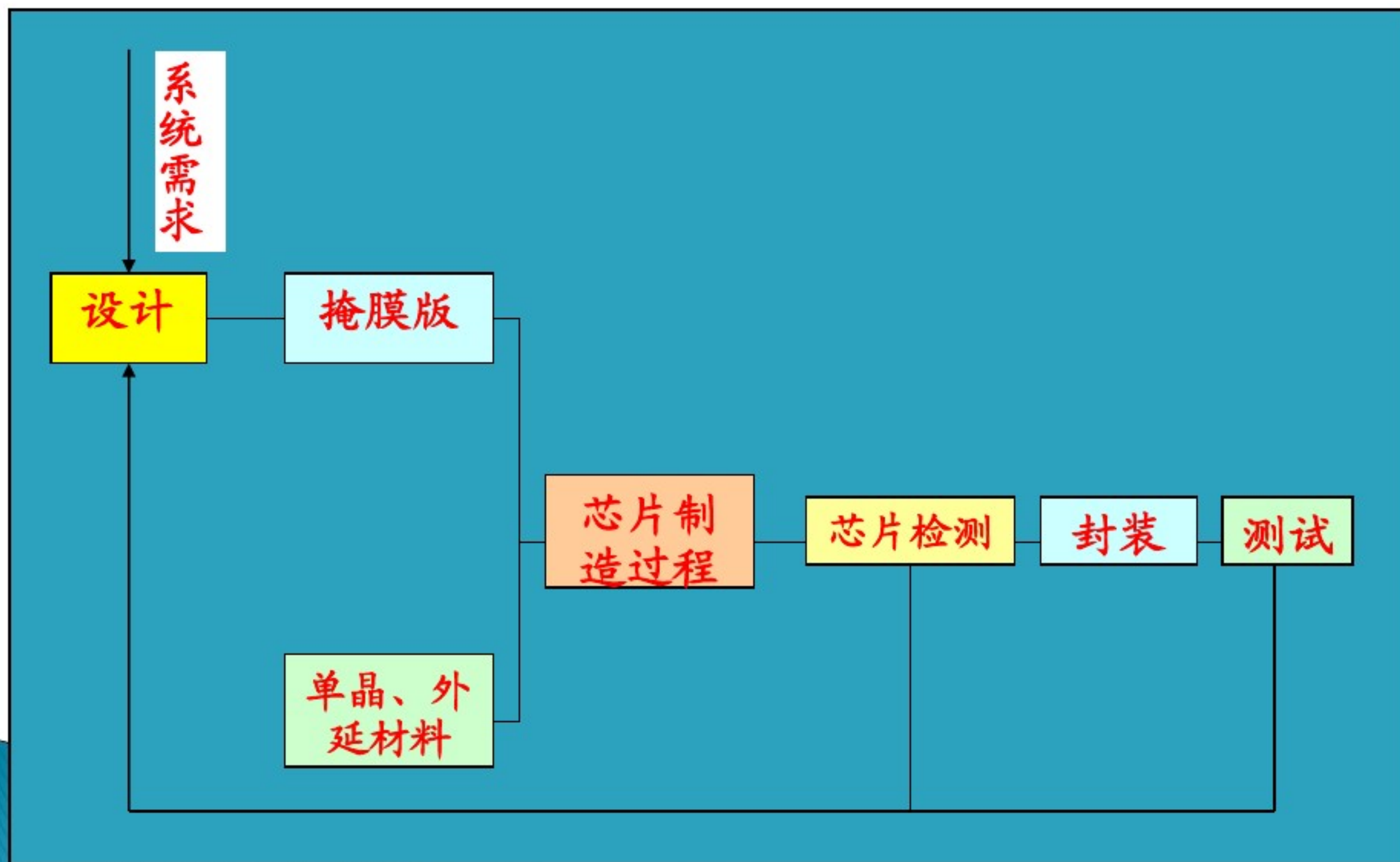
---

ASIC芯片设计开发

ASIC芯片生产

# 主要流程框架

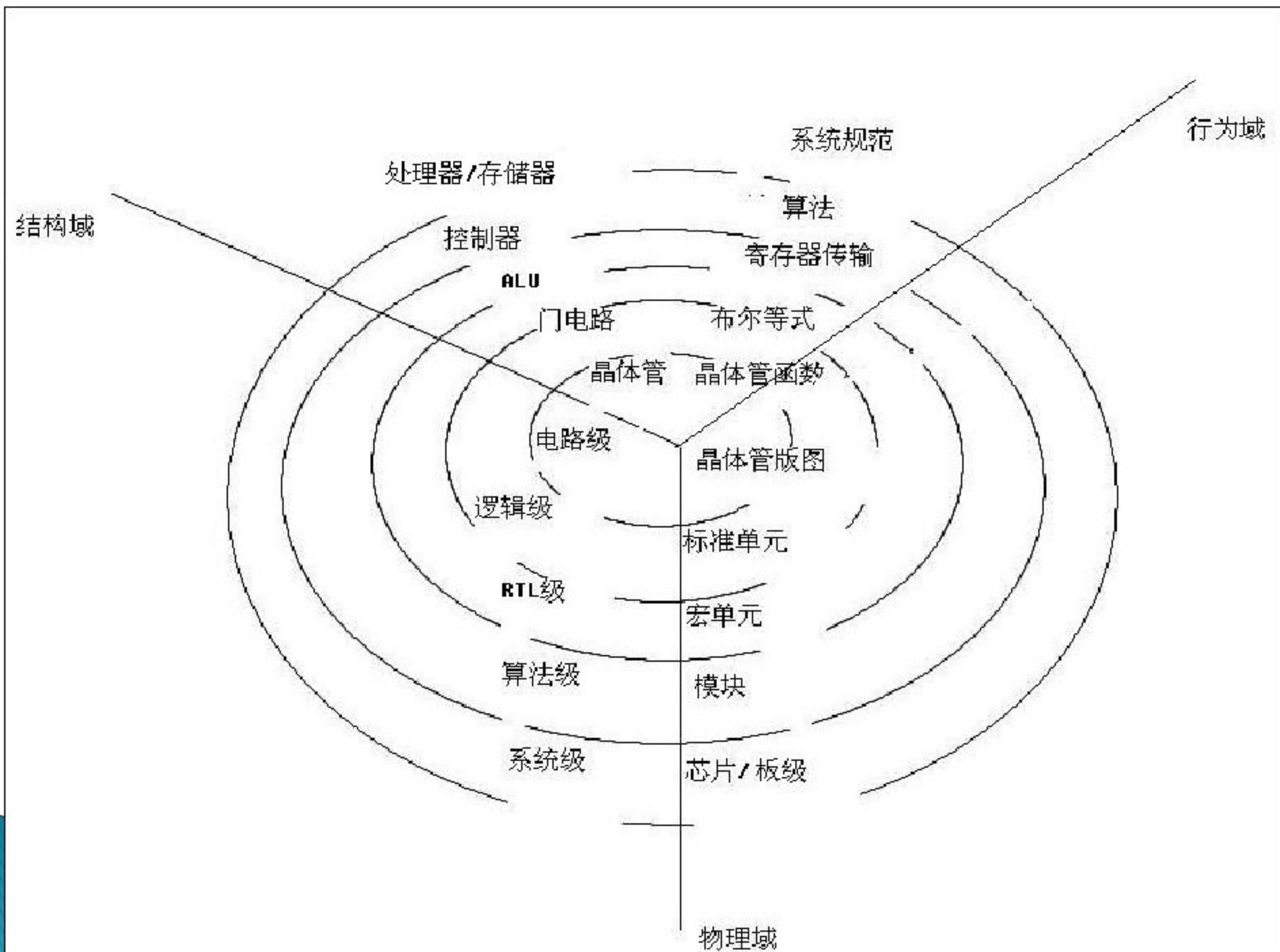
- 集成电路设计与制造全过程中的主要流程框架



# 划分

	物理域	结构域	行为域
▶ 系统级	芯片/板级	处理器/存储器	系统规范
▶ 算法级	模块	控制器	算法
▶ RTL级	宏单元	ALU	寄存器传输
▶ 逻辑级	标准单元	门电路	布尔等式
▶ 电路级	晶体管版图	晶体管	晶体管函数

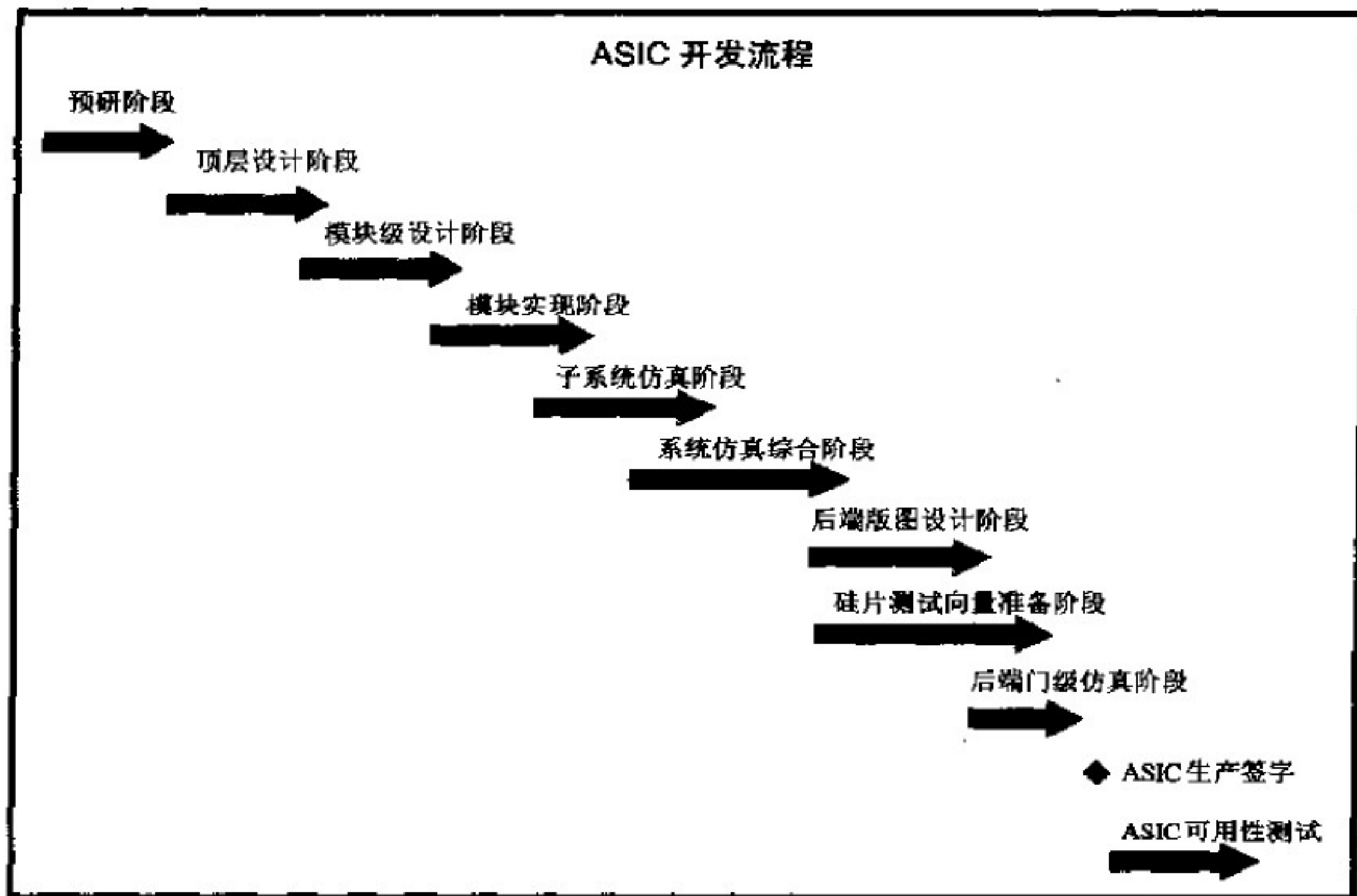
# 划分



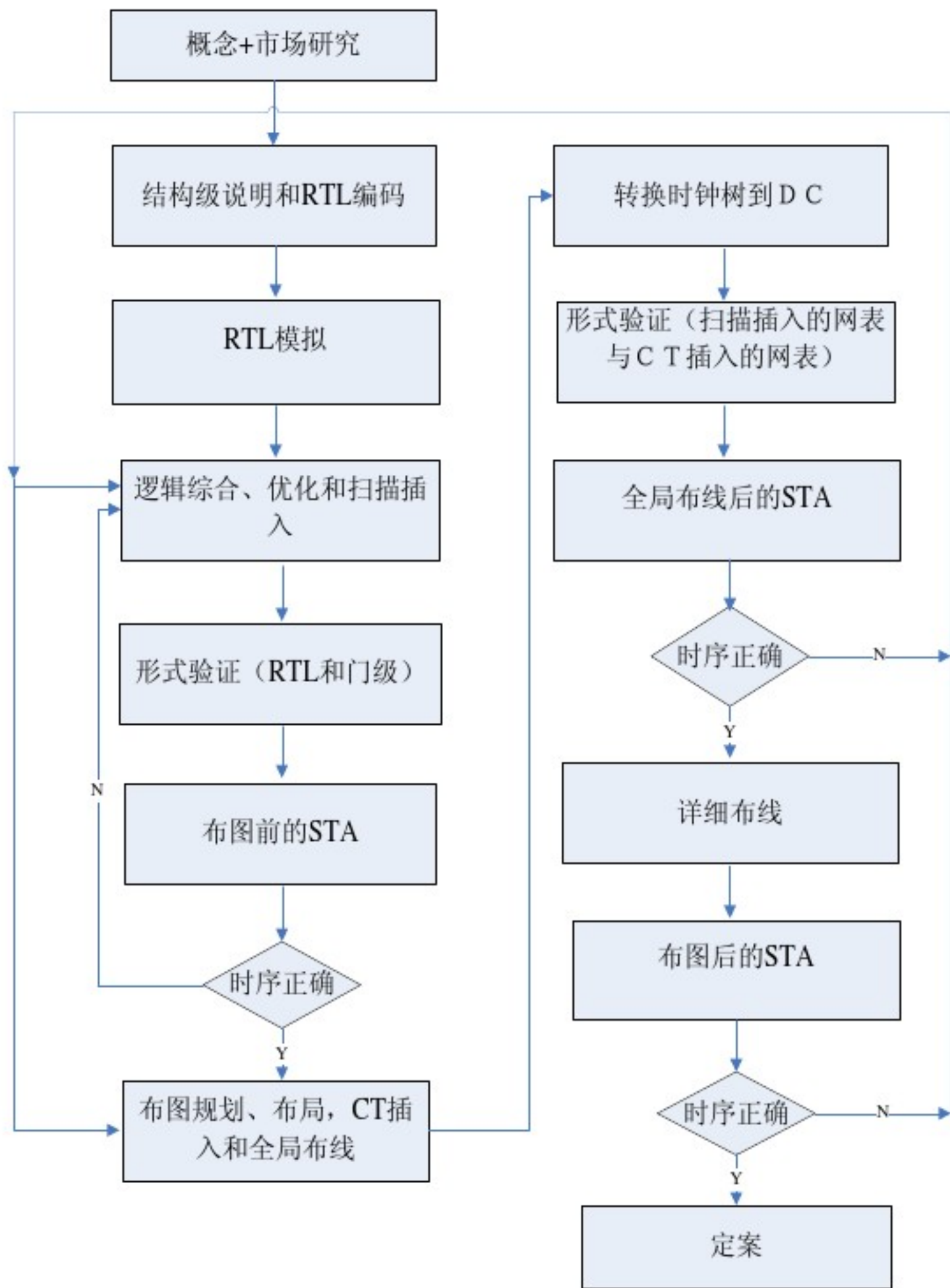
# ASIC设计流程

- ▶ ASIC项目的主要步骤包括：
- ▶ 预研阶段；
- ▶ 顶层设计阶段；
- ▶ 模块级设计阶段；
- ▶ 模块实现阶段；
- ▶ 子系统仿真阶段；
- ▶ 系统仿真，综合和版图设计前门级仿真阶段；
- ▶ 后端版面设计阶段；
- ▶ 测试向量准备阶段；
- ▶ 后端仿真阶段；
- ▶ 生产签字；
- ▶ 硅片测试阶段。

# ASIC开发流程中各步骤



# 传统设计流程





# 设计的一般步骤

- ▶ 结构及电学特性编码
- ▶ HDL中的RTL编码
- ▶ 为包含存储单元的设计插入DFT memory BIST
- ▶ 为了验证设计功能，进行详尽的动态仿真
- ▶ 实际环境设置，包括将使用的工艺库及其他环境属性
- ▶ 使用Design Compiler工具对具有扫描插入的设计进行约束和综合设计
- ▶ 使用Design Compiler的内建静态时序分析机进行模块级静态时序分析
- ▶ 设计的形式验证，使用Formality将RTL和综合后的网表进行对比
- ▶ 使用PrimeTime进行整个设计布图前的静态时序分析

## 设计的一般步骤(2)

- ▶ 对布图工具进行时序约束的前标注
- ▶ 11)具有时序驱动单元布局, 时钟树插入和全局布线的初始布局划分
- ▶ 将时钟树转换到驻留在Design Compiler中原始设计(网表)
- ▶ 在Design Compiler中进行设计的布局优化
- ▶ 使用Formality在综合网表和时钟树插入的网表之间进行形式验证
- ▶ 在全局布线后(11步)从版图提取估计的延时
- ▶ 从全局布线得到的估计时间数据反标注到PrimeTime
- ▶ 使用在全局布线后提取的估计延时数据在PrimeTime在中进行静态时序分析

# 设计的一般步骤(3)

- ▶ 设计的详细布局
- ▶ 提取来自详细布局设计的实际时间延迟
- ▶ 实际提取时间数据反标注到PrimeTime
- ▶ 使用PrimeTime进行布图后的静态时序分析
- ▶ 布图后的门级功能仿真（如果需要）
- ▶ 在LVS（版图对原理图）和DRC（设计规则检查）验证后定案

# 规范和RTL编码

- ▶ 结构规范定义了芯片的功能并划分为一些能够处理的模块，电学特性规范通过时序信息定义模块之间的关系
- ▶ 设计可用三个抽象层次来表示：行为级，寄存器传输级RTL和结构级。
  -

# 动态仿真

- ▶ 通过仿真RTL代码以检查设计的功能，目前的仿真器都能够仿真行为级及RTL级编码

# 约束、综合和扫描插入

- ▶ 以前：手工将HDL转换为电路图并描述元件间的互连来产生一个门级网表。
- ▶ 综合：用工具完成RTL级到门级网表的转换，这个过程就称为综合
- ▶ 定义综合环境的文件，详细说明了工艺单元库和DC在综合过程中使用的其它相关信息。

# 形式验证

- ▶ 形式验证技术使用数学的方法来确认一个设计，不考虑工艺因素，如时序，通过与参考设计的对比了检查一个设计的逻辑功能。
- ▶ 形式验证和动态仿真，形式验证技术通过证明两个设计的结构和功能是逻辑等价的来验证设计；动态仿真只能检查敏感路经。
- ▶ 形式验证的目标是要验证RTL与RTL，门级网表与RTL代码，两个门级网表之间的对应关系是否正确

# 静态时序分析

- ▶ 在整个设计中，静态时序分析是最重要的步骤，一个迭代过程。
- ▶ 静态时序分析允许用户详细分析设计的所有关键路径并给出一个有条理的报告。
- ▶ 对布图前后的门级网表进行静态时序分析，在布图前，PrimeTime使用由库指定的线载模型估计线网延时。如果所有关键路径的时序是可以接受的，则由PrimeTime或DC得到一个约束文件，目的是为了预标注到布图工具。
- ▶ 在布图后，实际提取的延迟被反标注到PrimeTime以提供真实的延迟计算。



# 布局、布线和验证

- ▶ 布图工具完成布局和布线。布图规划包括单元的布局 and 时钟树的综合，在步图工具中完成。布线一般有两步，全局布线和详细布线。

# 内容


---

ASIC芯片设计开发

ASIC芯片生产

# 设计与生产接口

- ▶ CYIT提供如下文件：GDSII文件，物理验证环境，物理验证报告
- ▶ 生产厂家进行Merg
- ▶ 生产厂家提供物理验证报告
- ▶ CYIT确认和viewjob



生产资料  
确认过程

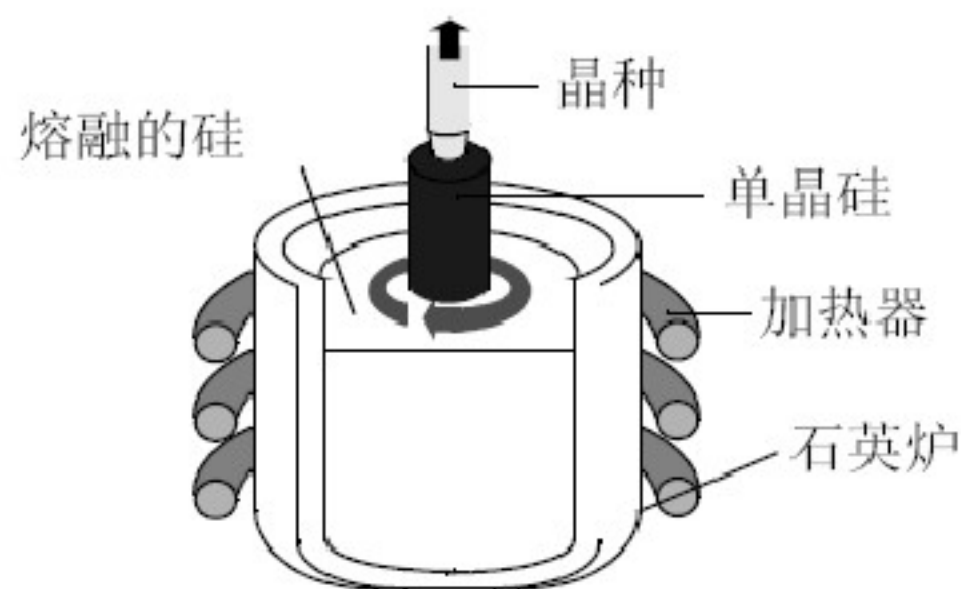
# 生产过程

- ▶ 制造一块IC 芯片通常需要400 到500 道工序。但是概括起来说，它一般分为两大部分：前道工序（front-end production）和后道工序（back-end production）。
- ▶ [1] 前道工序
  - (1) 将粗糙的硅矿石转变成高纯度的单晶硅。
  - (2) 在wafer 上制造各种IC 元件。
  - (3) 测试wafer 上的IC 芯片
- ▶ [2] 后道工序
  - (1) 对wafer 划片（进行切割）
  - (2) 对IC 芯片进行封装和测试

# 前道工序

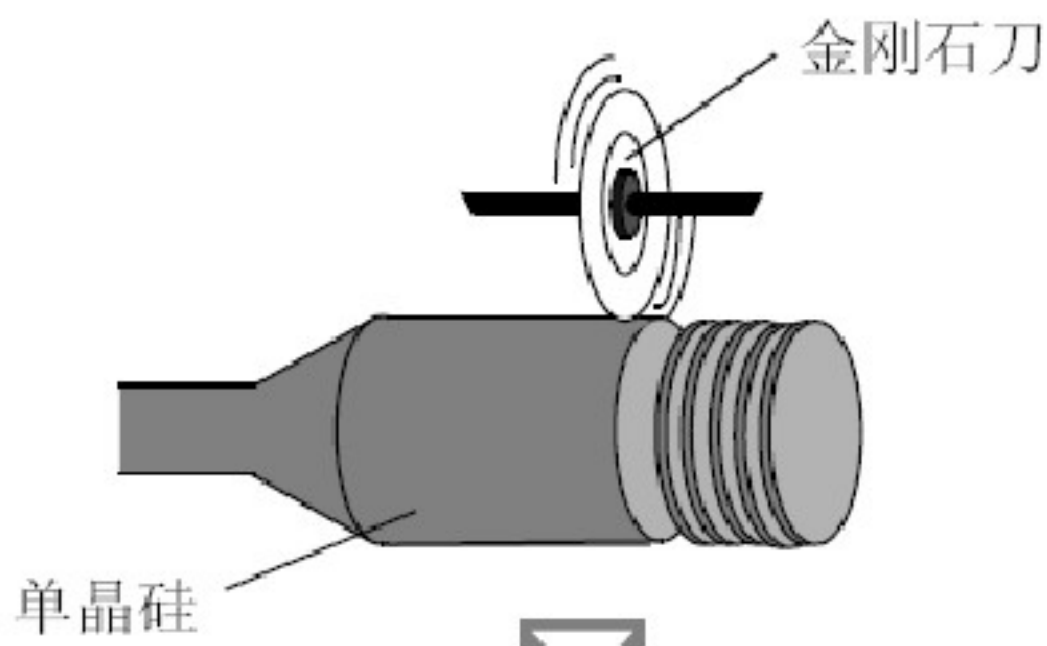
## ▶ <第一步> 硅棒的拉伸

- 将多晶硅熔解在石英炉中，然后依靠
- 一根石英棒慢慢的拉出纯净的单晶硅棒



## ▶ <第二步> 切割单晶硅棒

- 用金刚石刀把单晶硅棒切成一定的厚度
- 形成WAFER（晶片、圆片）。

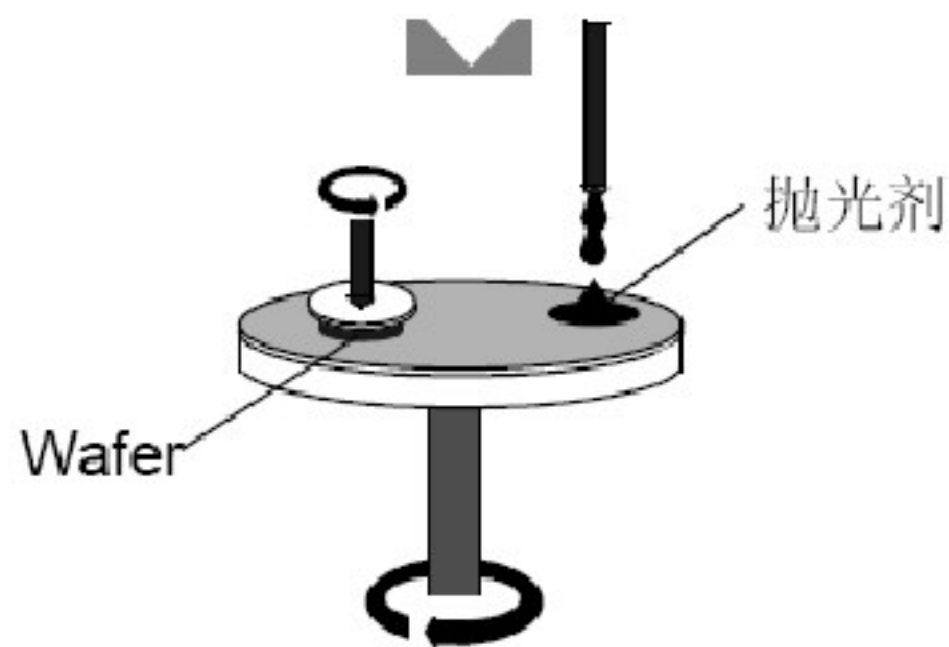


注：一片wafer上可以生产出很多颗裸芯片（die），一般都上千颗

# 前道工序

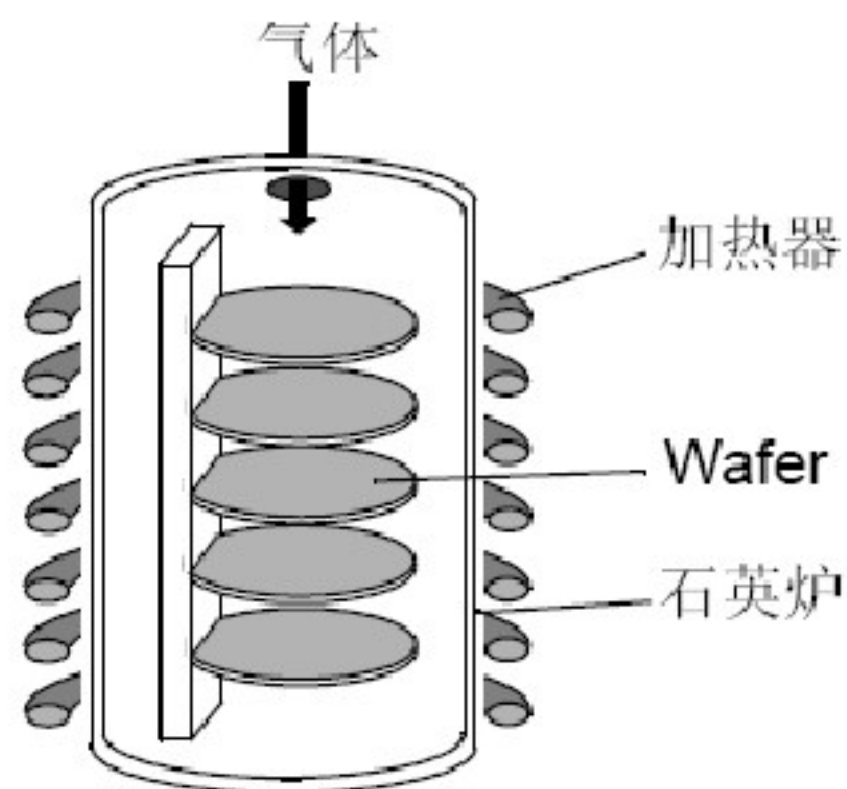
## ▶ <第三步>抛光WAFER

- WAFER 的表面被抛光成镜面。

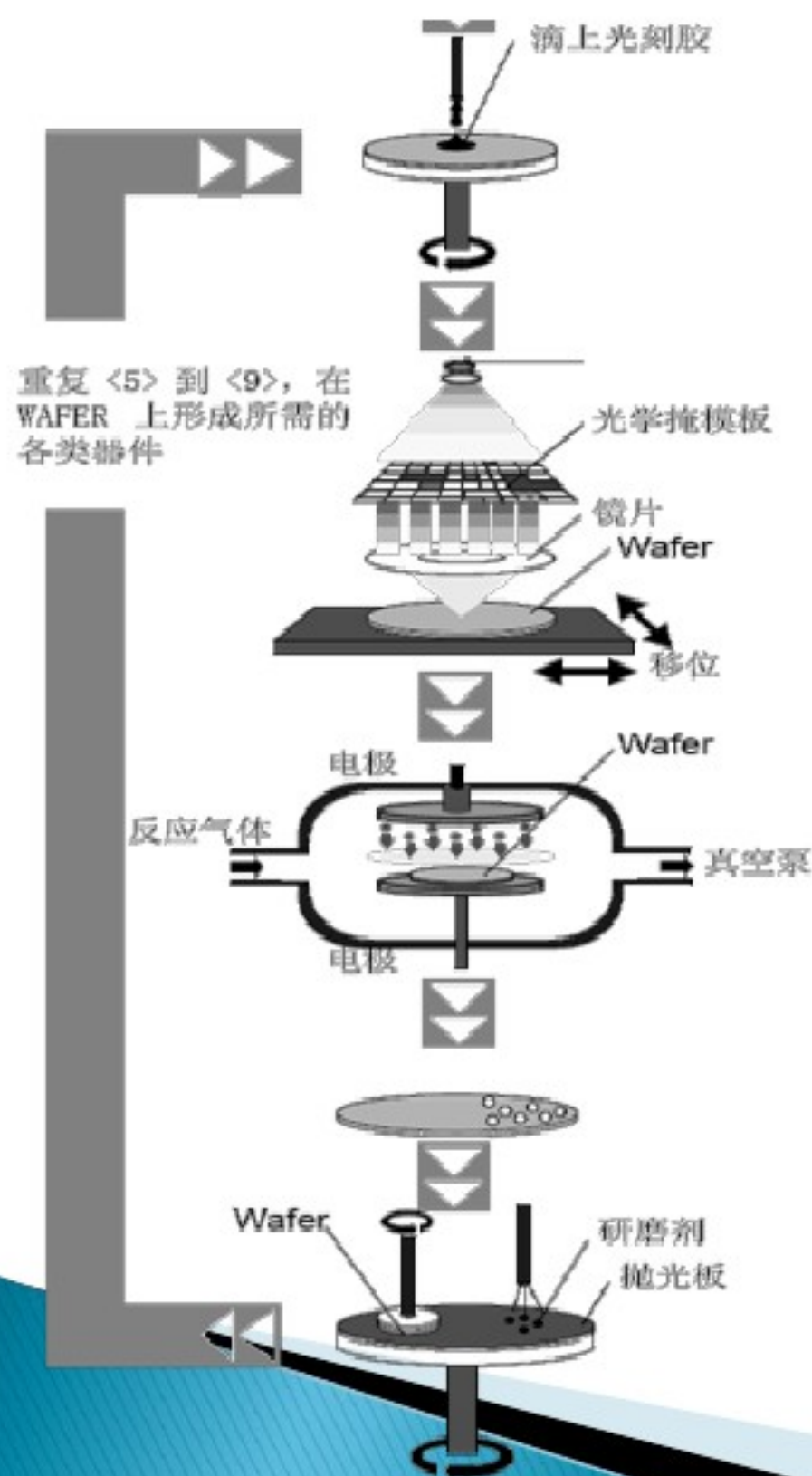


## ▶ <第四步>氧化WAFER 表面

- WAFER 放在900 度——1100 度的氧化炉中，并通入纯净的氧气，在 WAFER 表面形成氧化硅。



# 前道工序



- ▶ **<第五步> 覆上光刻胶**
  - 通过旋转离心力，均匀地在WAFER表面覆上一层光刻胶。
- ▶ **<第六步> 在WAFER 表面形成图案**
  - 通过光学掩模板和曝光技术在WAFER 表面形成图案。
- ▶ **<第七步> 蚀刻**
  - 使用蚀刻来移除相应的氧化层。
- ▶ **<第八步> 氧化、扩散、CVD 和注入离子**
  - 对WAFER 注入离子（磷、硼），然后进行高温扩散，形成各种集成器件。
- ▶ **<第九步> 磨平（CMP）**
  - 将WAFER 表面磨平。

# 前道工序

## ▶ <第十步>形成电极

- 把铝注入WAFER 表面的相应位置，形成电极。

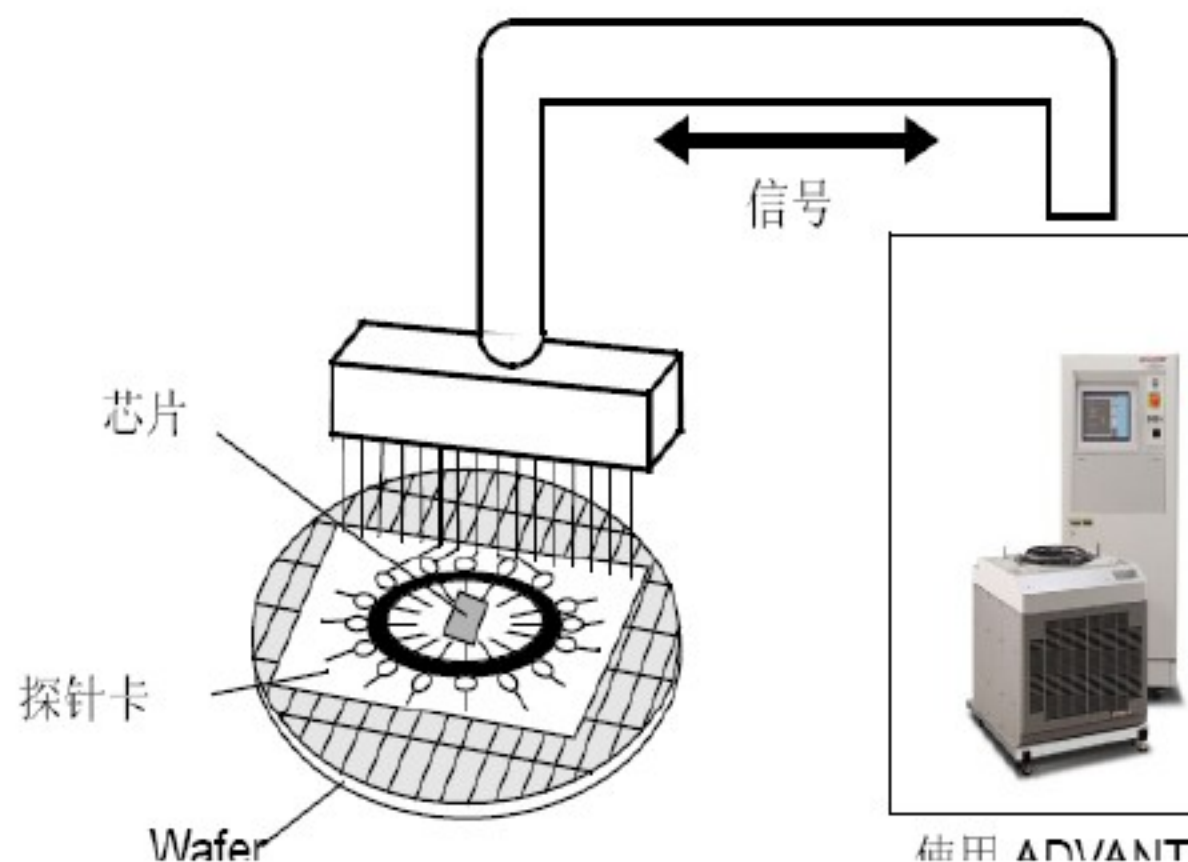
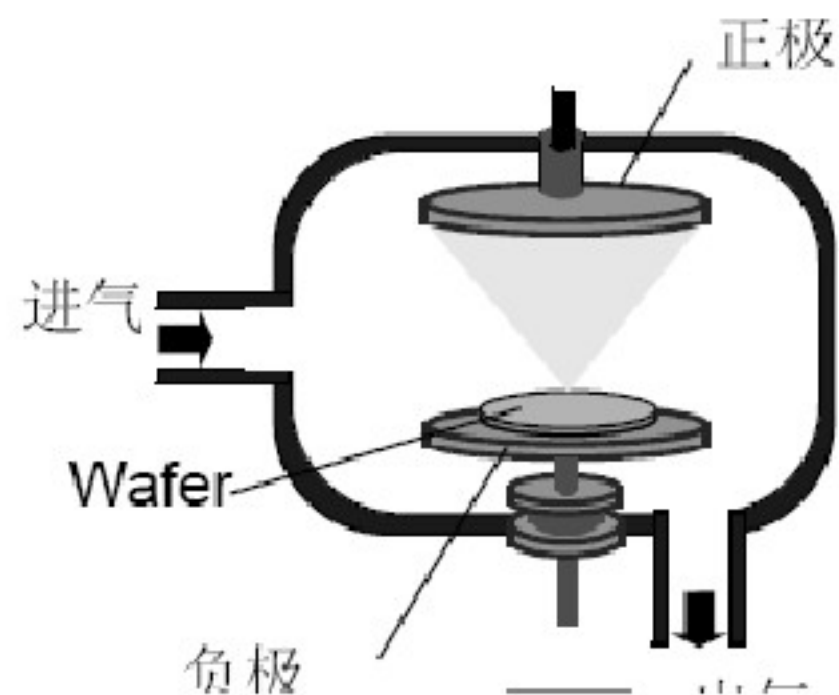
## ▶ <第十一步> WAFER 测试

- 对WAFER 进行测试，把不合格的芯片标记出来。

注：此阶段的测试主要有两种WAT和CP：

CP： circuit probe，也叫中测，测试项目主要针对器件功能，目的是在封装前将不良品进行标记便于剔除。Wafer级，由CYIT主导

WAT： wafer acceptance test，测试项目主要针对的不是功能器件，而是一些表征工艺结果的量，用来监控制程中的工艺执行情况。Wafer级，由芯片生产厂自测

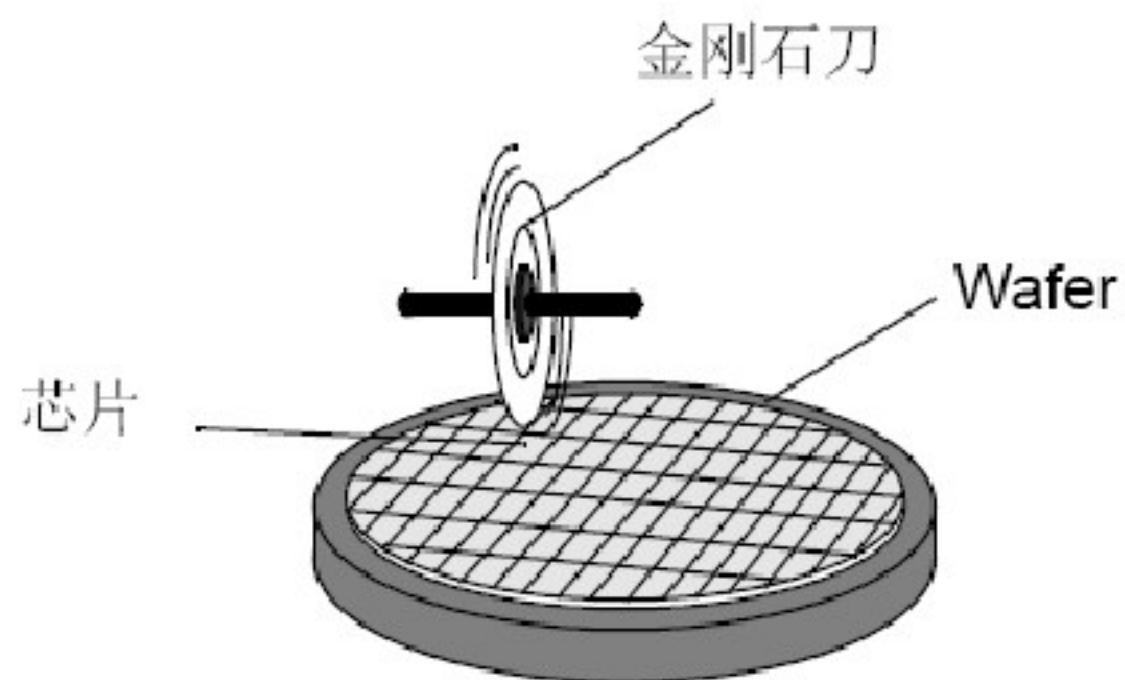




# 后道工序

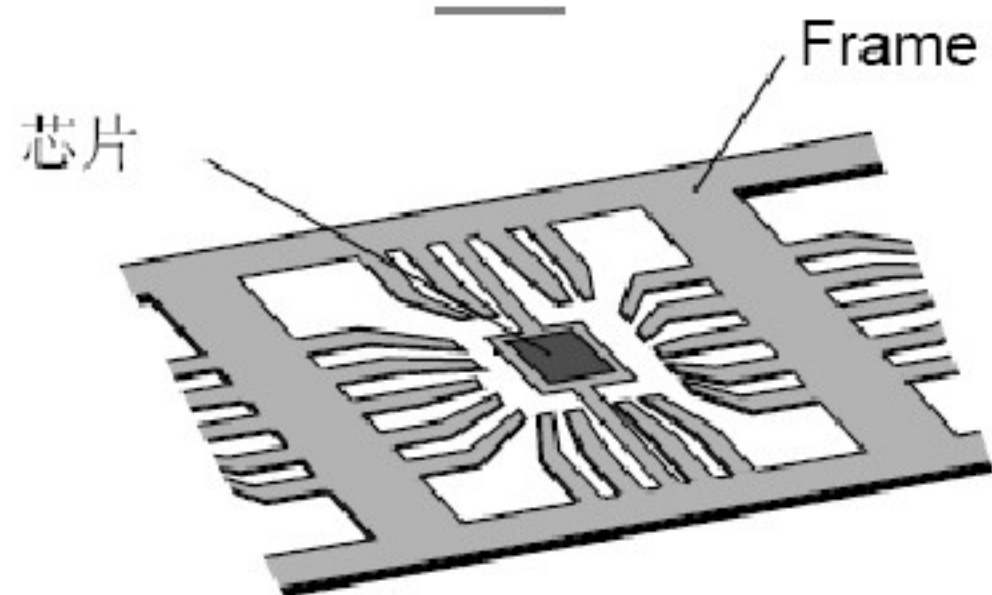
## ▶ <第十二步> 切割WAFER

- 把芯片从WAFER 上切割下来。形成一颗颗die



## ▶ <第十三步> 固定芯片

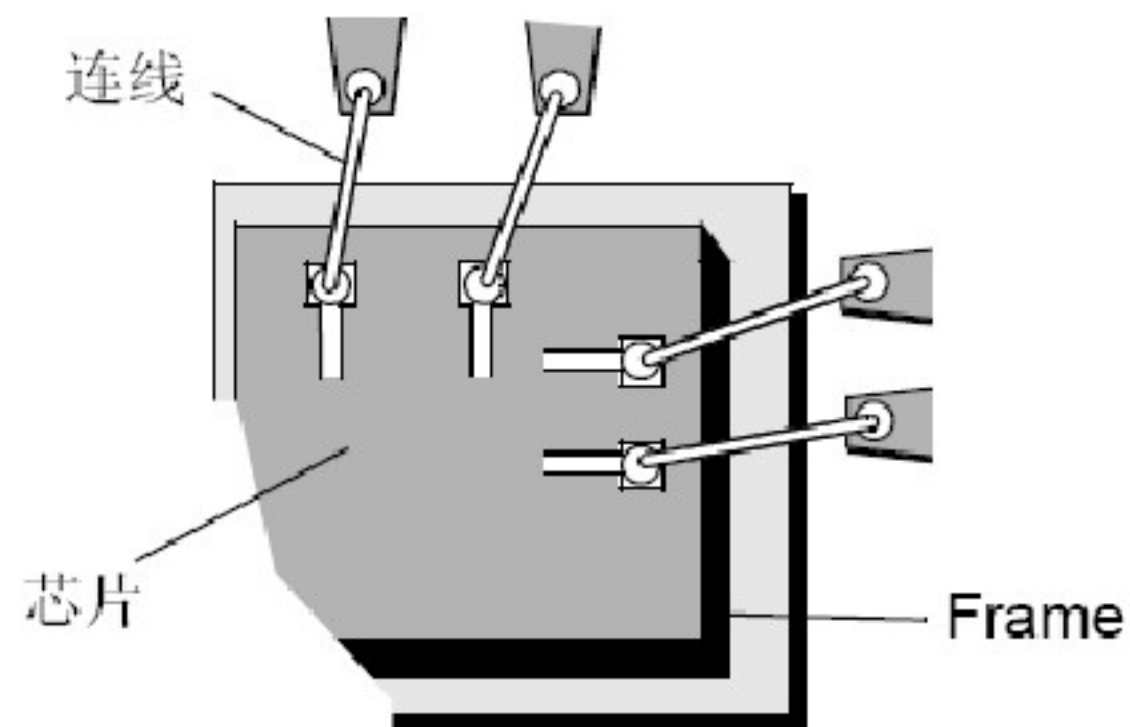
- 把芯片安置在特定的FRAME 上



# 后道工序

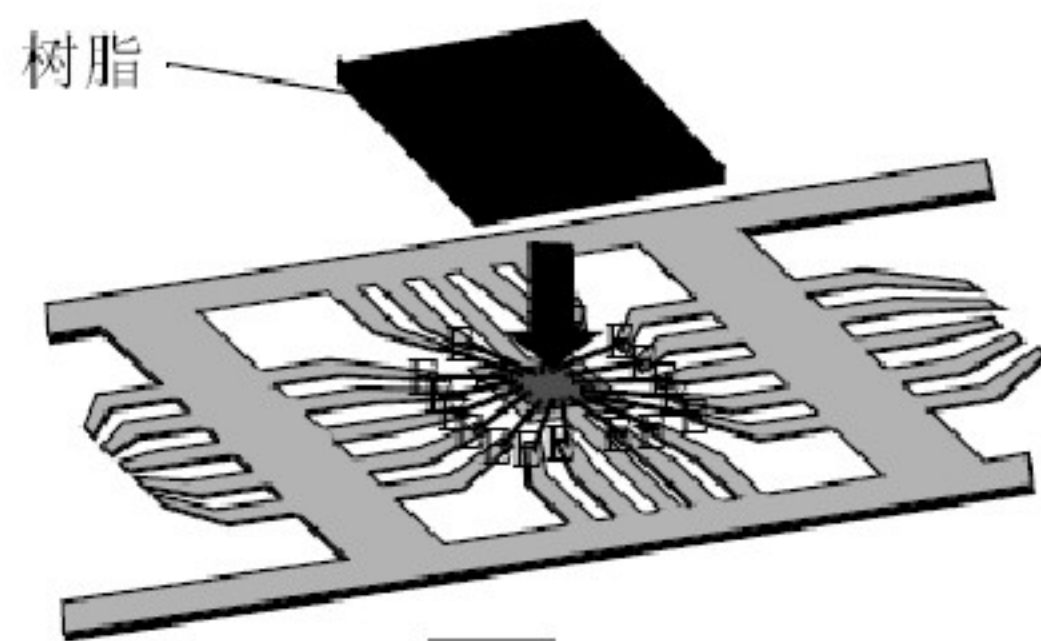
## ▶ <第十三步>连接管脚

- 用25 微米的纯金线将芯片和FRAME上的引脚连接起来。



## ▶ <第十三步>封装

- 用陶瓷或树脂对芯片进行封装。



# 后道工序

## ▶ <第十六步> 修正和定型（分离和铸型）

- 把芯片和FRAME 导线分离，使芯片外部的导线形成一定的形状。

## ▶ <第十七步>老化（温度电压）测试

- 在提高环境温度和芯片工作电压的情况下模拟芯片的老化过程，以去除发生早期故障的产品

## ▶ <第十八步>成品检测及可靠性测试

- 进行电气特性检测以去除不合格的芯片
- 成品检测：
- 电气特性检测及外观检查
- 可靠性检测：
- 实际工作环境中的测试、长期工作的寿命测试

注： FT测试， final test，也叫成测（终测），是指封装过后的成品测试，测试项目主要也是针对器件功能，目的将封装后的不良品剔除。Chip 级

## ▶ <第十九步>标记

在芯片上用激光打上产品名。

